

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127125

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H01L 21/66
G01B 15/00
G01B 15/04
G01N 1/28
G01N 1/32
G01N 23/04
G01N 23/225
H01J 37/22
H01J 37/26
H01L 21/3065

(21)Application number : 11-308506

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.10.1999

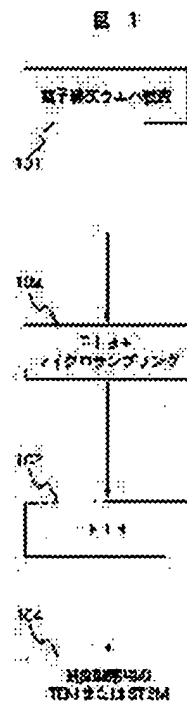
(72)Inventor : FUNATSU RYUICHI
ISAGOZAWA SHIGETO
KOIKE HIDEMI

(54) METHOD AND SYSTEM FOR INSPECTING/ANALYZING DEFECT AND INSPECTION
DEVICE FOR SEMICONDUCTOR DEVICE PATTERN

(57)Abstract:

PROBLEM TO BE SOLVED: To detect a defect in a pattern formed in a semiconductor device during a wafer pretreatment process, facilitate extraction and observation of the defective portion, improve precision in analysis of a cause for the defect and substantially shorten a period from the time when a defect occurs to the time when the cause is investigated and a countermeasure is taken.

SOLUTION: A defect and the position thereof are extracted by using an electron beam. A chip containing defects is cut out on the basis of the position information. The chip is machined and made thinner to observe a cross section in a post-treatment process. Subsequently, the sample is observed with a transmission electron microscope or scanning transmission electron microscope to investigate the cause of the



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-127125

(P2001-127125A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/66		H 0 1 L 21/66	J 2 F 0 6 7
			N 2 G 0 0 1
G 0 1 B 15/00		G 0 1 B 15/00	B 4 M 1 0 6
15/04		15/04	5 C 0 3 3
G 0 1 N 1/28		G 0 1 N 1/32	B 5 F 0 0 4

審査請求 未請求 請求項の数13 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平11-308506

(22)出願日 平成11年10月29日(1999.10.29)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 船津 隆一

茨城県ひたちなか市大字市毛882番地 株

式会社日立製作所計測器グループ内

(72)発明者 砂子沢 成人

茨城県ひたちなか市大字市毛882番地 株

式会社日立製作所計測器グループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

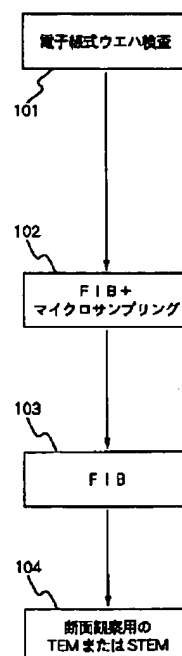
(54)【発明の名称】 半導体デバイスパターンの欠陥検査・不良解析方法、半導体デバイスパターンの欠陥検査・不良解析システム、および、半導体デバイスパターンの検査装置

(57)【要約】

【課題】ウエハ前工程の途中で半導体デバイスに形成されるパターンの欠陥を検出し、さらに、その欠陥部の抽出と観察を容易にし、不良原因の解析精度を向上させ、欠陥発生から原因究明、対策までの期間を大幅に短縮する。

【解決手段】電子線を用いて欠陥とその位置を抽出し、該位置情報に基づいて欠陥のあるチップを切り出し、後工程の断面観察のために加工して薄片化し、次に、その試料を透過型電子顕微鏡または走査透過型電子顕微鏡で観察して、欠陥の原因を究明する工程からなる構成を備える。

図 1



【特許請求の範囲】

【請求項1】電子線を用いて半導体デバイスパターンの欠陥とその位置を抽出する工程、該位置の情報に基づいて前記欠陥を有する微小試料片の位置を決定し切り出す工程、前記切り出された微小試料片の一部を薄片化する工程、該薄片化された部分を電子顕微鏡で観察して前記欠陥の原因を究明する工程を備えたことを特徴とする半導体デバイスパターンの欠陥検査・不良解析方法。

【請求項2】電子線を半導体ウエハに形成された半導体デバイスパターンに照射して発生する信号から前記半導体デバイスパターンの欠陥を検出する電子線式ウエハ外観検査装置と、前記欠陥を含む微小試料片を前記ウエハから切り出すとともに、試料ホルダへ前記微小試料片を搭載し、該微小試料片の一部を薄片化する収束イオンビーム装置と、前記試料ホルダに搭載された前記微小試料片の薄片化された部分に電子線を照射して前記欠陥を観察する透過型電子顕微鏡とを備えたことを特徴とする半導体デバイスパターンの欠陥検査・不良解析システム。

【請求項3】半導体ウエハに形成された半導体デバイスパターンの欠陥の位置情報に基づいて該欠陥の位置を決定し、前記欠陥を含む微小試料片を前記ウエハから切り出して前記欠陥を観察し、該欠陥の原因を究明するために、電子線を前記ウエハに照射して発生する信号から前記半導体デバイスパターンの欠陥を検出する欠陥検出ユニットと、該欠陥の位置情報を設定する位置情報設定装置とを備えたことを特徴とする半導体デバイスパターンの検査装置。

【請求項4】請求項3の記載において、前記位置情報設定装置で設定される前記位置情報は、前記ウエハに前記電子線を照射して形成されることを特徴とする半導体デバイスパターンの検査装置。

【請求項5】請求項3の記載において、前記位置情報設定装置で設定される前記位置情報は、前記欠陥の座標と前記ウエハに形成されたパターンの数に基づき決定されることを特徴とする半導体デバイスパターンの検査装置。

【請求項6】半導体ウエハに形成された半導体デバイスパターンの第1および第2の領域に電子線を照射し、発生する二次電子を検出して照射された領域の画像を形成し、前記第1の領域の画像と前記第2の領域の画像とを比較して前記半導体デバイスパターンの欠陥を検出する電子線式ウエハ外観検査装置と、該電子線式ウエハ外観検査装置によって検出された前記欠陥を含む観察用試料を抽出するとともに、該観察用試料を試料ホルダに搭載して薄膜化加工する収束イオンビーム装置と、前記試料ホルダに搭載された観察用試料に電子線を照射して前記欠陥を観察する透過型電子顕微鏡とを備えたことを特徴とする半導体デバイスパターンの欠陥検査・不良解析システム。

【請求項7】半導体ウエハに形成された半導体デバイス

パターンの第1および第2の領域に電子線を照射する電子光学カラムと、発生する二次電子を検出して照射領域の画像を形成し、前記第1の領域の画像と前記第2の領域の画像とを比較して前記半導体デバイスパターンの欠陥を検出する欠陥検出ユニットと、検出した該欠陥の位置を示すマークを形成するマーク形成装置とを備えたことを特徴とする半導体デバイスパターンの検査装置。

【請求項8】請求項7の記載において、前記マーク形成装置は、前記電子線を前記半導体ウエハに照射して前記マークを形成することを特徴とする半導体デバイスパターンの検査装置。

【請求項9】半導体ウエハに形成された半導体デバイスパターンに電子線を照射して発生する二次電子から検出された前記半導体ウエハの欠陥の位置を示す座標に基づいて前記半導体ウエハを位置決めすることによって、画面上に前記欠陥を表示するモニタユニットと、前記欠陥の位置情報を用いて画面上に表示された複数のパターンの中から前記欠陥を特定する欠陥特定ユニットとを備えたことを特徴とする半導体デバイスパターンの検査装置。

【請求項10】半導体ウエハに形成された半導体デバイスパターンの第1および第2の領域に電子線を照射し、発生する二次電子を検出して照射された領域の画像を形成し、前記第1の領域の画像と前記第2の領域の画像とを比較して前記半導体デバイスパターンの欠陥を検出し、該検出された前記欠陥を含む観察用試料を抽出するとともに、該観察用試料を試料ホルダに搭載して薄膜化加工し、前記試料ホルダに搭載された観察用試料に電子線を照射して前記欠陥を観察することを特徴とする半導体デバイスパターンの欠陥検査・不良解析方法。

【請求項11】半導体ウエハに形成された半導体デバイスパターンの第1および第2の領域に電子線を照射する工程と、該電子線の照射によって発生する二次電子を検出して照射領域の画像を形成する工程と、前記第1の領域の画像と前記第2の領域の画像とを比較して前記半導体デバイスパターンの欠陥を検出する工程と、該検出された欠陥の位置を示すマークを形成する工程とを備えたことを特徴とする半導体デバイスパターンの欠陥検査・不良解析方法。

【請求項12】請求項11の記載において、前記マークを形成する工程では、前記電子線を前記半導体ウエハに照射して前記マークを形成することを特徴とする半導体デバイスパターンの欠陥検査・不良解析方法。

【請求項13】半導体ウエハに形成された半導体デバイスパターンに電子線を照射する工程と、該電子線の照射によって発生する二次電子から前記半導体ウエハの欠陥を検出する工程と、該欠陥の位置を示す座標に基づいて前記半導体ウエハを位置決めする工程と、モニタユニットの画面上に前記欠陥を表示する工程と、前記欠陥の位置情報を用いて前記画面上に表示された複数のパターン

の中から前記欠陥を特定する工程とを備えたことを特徴とする半導体デバイスパターンの欠陥検査・不良解析方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、荷電粒子線を用いて半導体デバイスの回路パターンの欠陥を検査し、その不良原因を解析する半導体デバイスパターンの欠陥検査・不良解析方法、半導体デバイスパターンの欠陥検査・不良解析システム、および、それに用いられる半導体デバイスパターンの検査装置に関する。

【0002】

【従来の技術】近年、半導体メモリや半導体集積演算素子に代表される半導体デバイスの高集積化に対応するため、回路パターンの微細化と多層化が急速に進み、新しいプロセス技術が採用されてきている。これに伴い、半導体ウエハに形成された半導体デバイスの下層の構造の各種欠陥に起因する半導体デバイスの製造歩留まりの低下が大きな問題となってきている。

【0003】図2は半導体デバイス11の表面に近い部分の縦断面図である。例えば、図2に示すような半導体デバイス11は製造工程の途中を示し、下地層22の上方にプラグ21を形成して、この後工程で形成される上層の配線層と下地層22とを電気的に接続するようにしている。この工程において、プラグ21と下地層22との間の絶縁膜残さによる導通不良が発生する可能性がある。また、ゲート電極23を形成するときに、ゲート電極23の周辺に同じ電気伝導性の物質が形成されて、ゲート電極23とプラグ21間のショートや下地層22間のショートなどが発生する可能性がある。

【0004】従来からの反射光を用いた検査装置では、半導体デバイスの内部のこれらの欠陥を検出することは困難であるため、図3に示すようなステップで欠陥の解析を行ってきている。

【0005】図3は、従来の半導体デバイスの欠陥検査のステップを示すフローチャートである。上述したように、半導体デバイス製造工程のうち、半導体デバイスのパターン形成が終了して、ウエハ前工程の途中での欠陥検出が困難であるため、ウエハ前工程（ステップ30）の終了後のウエハからチップのひとつひとつを切り出す前に、電気的な機能テストであるプローブテスト（ステップ31）を実施し、半導体デバイス、例えばメモリであれば、全ビットの良、不良を判定する。その後、不良ビットの座標を示すフェールビットマップを作成する（ステップ32）。このフェールビットマップのデータを元にして、半導体ウエハから対象チップを切り出し、不良の発生の原因である欠陥部があると推定される製造工程の層まで、エッチングにより半導体デバイスの表面層を除去する工程（ステップ33）を経た後、欠陥部を走査型電子顕微鏡（Scanning Electron Microscope）で観

察し（ステップ34）、不良の原因究明を行う。

【0006】あるいは、切り出したチップの欠陥部を縦方向に薄膜化して断面観察試料を作成し（ステップ35）、透過型電子顕微鏡（Transmission Electron Microscope）や走査透過型電子顕微鏡（Scanning Transmission Electron Microscope）を用いて、欠陥部位の断面を観察し（ステップ36）、不良の原因究明を行う。しかし、いずれもウエハ前工程終了後のプローブテスト（ステップ31）で初めて不良の発生とその場所が判明するため、不良の原因究明にいたるまでに数ヶ月を要することがあり、その間、製品の製造歩留りが悪いまま製造を続けることになるので、従来の検査の方法における経済的損失ははかりしれない。

【0007】

【発明が解決しようとする課題】本発明の目的は、ウエハ前工程の途中で半導体デバイスに形成されるパターンの欠陥を検出し、さらに、その欠陥部の抽出と観察を容易にすることにより、不良原因の解析精度を向上させ、欠陥発生から原因究明、対策までの期間を大幅に短縮できる半導体デバイスパターンの欠陥検査・不良解析方法、半導体デバイスパターンの欠陥検査・不良解析システム、および、半導体デバイスパターンの検査装置を提供することである。

【0008】

【課題を解決するための手段】上記本発明の目的を達成するため、本発明は、荷電粒子線、特に電子線を用いて欠陥とその位置を抽出し、該位置情報に基づいて欠陥のあるチップを切り出し、後工程の断面観察のために加工して薄片化し、次に、その試料を透過型電子顕微鏡または走査透過型電子顕微鏡で観察して、欠陥の原因を究明する工程からなる構成を備える。

【0009】この構成において、電子線を用い、電子線電流や減速電圧を変えられるウエハ外観検査装置を用いて欠陥を検査するので、ウエハの表面の観察では検出できない、半導体デバイスの内部構造の欠陥に起因する不良を検出することができるという特徴を本発明は有している。

【0010】また、欠陥位置あるいは近傍にマークを付けるか、あるいは、欠陥位置の座標を正確に求めるか、あるいは、パターンの基準位置から欠陥位置までの数を数えることによって、検出した欠陥の位置を後工程で容易に確認し、特定できる。

【0011】また、欠陥部を含む試料を透過型電子顕微鏡または走査透過型電子顕微鏡で観察するので、欠陥の形態が容易に判別でき、欠陥の発生原因を容易に、迅速に究明することが可能となる。

【0012】このシステムにより、ウエハ前工程の途中で、欠陥の検出とその発生原因の究明が可能となり、従来のようにプローブテストという最終工程まで待つ必要がなくなるため、欠陥の発見とその対策が短期間にでき

るようになる。したがって、半導体デバイスの開発時にはその期間を大幅に短縮できる。また、デバイス量産時には最終工程での不良発見よりも前で欠陥を発見でき、短期間で原因究明と対策ができるので、製造歩留りの低下による不良品の生産期間を大幅に短縮できる。

【0013】

【発明の実施の形態】以下、本発明に係る半導体デバイスパターンの欠陥検査・不良解析システムの代表的な一例を、図面を用いて説明する。

【0014】図1は本発明の実施例における検査の手順を示すフローチャート、図4は半導体デバイスパターンの欠陥検査・不良解析システムに用いられる検査装置の外観を示す斜視図、図5は電子線式ウエハ外観検査装置の概略構造を示す縦断面図、図6は図1に示した検査の手順をさらに具体的に示すフローチャート、図7は図1に示した検査の手順の各々における試料の斜視図、図8は走査透過型電子顕微鏡の試料の斜視図である。また、図4(a)は、電子線式ウエハ外観検査装置、図4(b)は収束イオンビーム(Focused Ion Beam)装置、図4(c)は走査透過型電子顕微鏡の斜視図である。図1において、収束イオンビーム装置はFIB、透過型電子顕微鏡はTEM、走査透過型電子顕微鏡はSTEMと略されている。検査の手順は、図1において、半導体デバイスの製造工程の任意のときに図4(a)に示した電子線式ウエハ外観検査装置を用いて、ウエハ上の欠陥が検査される(ステップ101)。次に、図4(b)に示した収束イオンビーム装置で、ウエハから欠陥部を含む微小試料片を切り出すマイクロサンプリングが行われる(ステップ102)。次に、同じ収束イオンビーム装置で、収束イオンビーム装置と透過型電子顕微鏡または走査透過型電子顕微鏡とで共通に使用できる試料ホルダ上に微小試料片が搭載され、微小試料片の欠陥部が、収束イオンビーム装置を用いて薄片化され、断面観察用の試料が作成される(ステップ103)。最後に、薄片化された試料が、透過型電子顕微鏡または図4(c)に示した走査透過型電子顕微鏡などの薄膜断面観察装置を用いて観察され(ステップ104)、オペレータは電子線式ウエハ外観検査装置で検出された欠陥部の発生原因を明らかにする。

【0015】図5は、図4(a)に示した電子線式ウエハ外観検査装置の概略構造を示す縦断面図である。この装置は、特開平10-294345号公報や特開平11-51886号公報などに記載されており、本体は電子光学カラム60、真空排気室70、試料室71とから構成され、外部に制御ユニット77などの附属装置が設けられている。

【0016】電子光学カラム60は、主に、電子ビーム62を発生させる電子源61、電子ビーム62をウエハ65に収束させるコンデンサレンズ63と対物レンズ64、電子ビーム62を偏向させるディフレクタ66から構成されている。試料室71には、ウエハ65を載せる

ステージ72、ウエハ65のアライメントのために光でウエハ65を観察する光学式顕微鏡73、電子ビーム62の照射によって発生する二次電子67を検出するディテクタ68から構成されている。ディテクタ68で検出された信号は、画像形成ユニット74で画像信号となり、バス78を介して欠陥判別ユニット75で画像を用いて欠陥が抽出され、モニタユニット69に表示されたり、LAN経由で外部のデータベースへ出力される。

【0017】画像形成ユニット74で形成された画像信号はメモリ76へ記憶され、次の信号から形成された画像信号と比較され、ふたつの画像の差異が欠陥として抽出され、モニタユニット69に表示される。

【0018】このときの欠陥の位置情報は、光学式顕微鏡73で確認されたステージ72の位置情報に基づいて、電子ビーム62が照射されるウエハ65の位置が決定されるので、ステージ72の位置情報と、モニタユニット69上の電子ビーム画像とから決定できる。

【0019】これらの動作、ステージの動作、電子ビーム62の偏向などは、制御ユニット77のマイクロコンピュータで演算された制御信号で制御される。オペレータは、検査前にはウエハ65の名前や履歴、検査条件や動作の指令を入力する。

【0020】このウエハ外観検査装置は、電子ビーム62の電流、および、ウエハ65へ到達するときの減速電圧が変えられるようになっており、これらの調整によって、光学式外観検査装置を用いた場合のようなウエハ65の表面の観察からは検出できない、半導体デバイスの内部構造の欠陥に起因する不良を検出できる点に特徴がある。例えば、図2に示した非導通やショートなどの欠陥を電位コントラスト効果にて検出することが可能である。

【0021】図6において、ステップ41の上記電子線式欠陥検査の後、ステップ42で、ウエハの欠陥の位置情報を付ける。図7(a)において、ウエハ105上で検出された欠陥106の位置を、後工程の収束イオンビーム装置で位置が容易に確認できるように、欠陥位置の近傍にマークを付ける。または、欠陥位置あるいは近傍の座標を正確に求め、後工程の装置と座標を共通化する。あるいは、後工程の装置と座標変換を容易にする。

【0022】図7(b)の例では、図2に示すプラグ21が丸い形状のパターンとして表面に出ている場合であり、電位コントラスト効果により、図2に示す下地層22に対して非導通であるプラグ21が、他の正常なプラグに対して暗いパターンの欠陥106として検出されるケースを示している。欠陥抽出終了後、その欠陥106の位置を明確にするため、検査装置の電子ビームで欠陥部の周辺にマーク107を付ける。あるいは、検出された欠陥を電位コントラスト効果で確認できるレビュー装置を用いてマーク107を付けてもよい。

【0023】次に、図6のステップ45で、前述の欠陥

の位置情報に基づいて、マイクロサンプリング機能を有する図4(b)に示した収束イオンビーム装置を用いて、図7(c)に示す欠陥106を含む微小試料片108をウエハ105から切断し、切り出す。そして、図7(d)に示すように、微小試料片108を試料ホルダ109の上に搭載し、固定する。微小試料片108をFIB装置を用いてピックアップするマイクロサンプリング技術については、特開平5-52721号公報に記載された技術が知られている。

【0024】次に、収束イオンビーム装置で、図8に示すように、試料ホルダ109に搭載された状態で微小試料片108を薄片化して薄片化部110を作成する。

【0025】薄片化試料の断面観察用の透過型電子顕微鏡、または、図4(c)に示した走査透過型電子顕微鏡と、収束イオンビーム装置とで、同一の試料ホルダ109を用いることにより、試料の薄片化加工と断面観察の作業性が大幅に向上できる。この技術については、特開平6-103947号公報に記載された技術が知られている。

【0026】微小試料片108のピックアップの方法については、上記したようにウエハ105から直接サンプリングする方法もあるが、図6のステップ43から44に示すように、ウエハ105から欠陥部106を含むチップを切断して取り出し、続いてこのチップから同じようにFIBを用いて微小試料片108をサンプリングすることも可能である。この場合も、欠陥部の位置を示すマークや座標情報をもとにして、効率良くピックアップする事が可能となる。

【0027】このようにして、ステップ46の試料の薄片化加工と、ステップ47の断面観察が実行される。

【0028】次に、図9を用いて、検出された欠陥の位置を示すマークを形成する手法を説明する。図9は、半導体デバイスパターンの一例の斜視図である。パターンは図7(b)に示したプラグのパターンである。図4

(a)に示した電子線式ウエハ外観検査装置において検出された欠陥106に対し、その周辺に、パターンの配列方向に一致させてX方向とY方向の2本のライン状のマーク107を、マーク107の部分に電子ビーム52を照射し走査することで形成する。ウエハの上部にはカーボンなどを含むガスが存在するため、マーク107の部分に電子ビーム52を照射し走査する事でデポジション現象が発生し、マーク107を形成することができる。

【0029】また、欠陥106の周辺にデポジション用のガス51を供給し、マーク107の部分に電子ビーム52を照射し走査することにより、デポジション用のガス51が分解し、ウエハ上にマーク107を形成することもできる。デポジション用のガス51を供給した方が、マーク107を確実に形成することができる。

【0030】上述した例のような欠陥の位置を示すマ

ークを付けずに、欠陥の座標データによって位置を探索しようとする場合は、以下のような問題がある。一般に、電子線式ウエハ外観検査装置や収束イオンビーム装置の画像には、それぞれ歪みやスケールの誤差が存在している。これらの誤差を装置間で正確に補正する事は非常に困難である。繰返しピッチが0.1ミクロンメートル以下の同じ形状の繰返しパターンから構成される半導体デバイスのパターンの場合、画像に誤差を有する電子線式ウエハ外観検査装置、収束イオンビーム装置を用い、座標データのみで欠陥部位を特定しようとする、基準位置から欠陥までの距離を示す座標データでは、欠陥の隣の正常パターンを欠陥の位置であると誤認識する可能性がある。図4(b)に示した収束イオンビーム装置を用いて欠陥を観察すると、電子線式ウエハ外観検査装置と同様、電位コントラスト効果により、欠陥箇所からの信号と他の正常部からの信号とは異なって検出される場合が多い。従って、電子線式ウエハ外観検査装置で検出された欠陥の座標データにもとづいて、収束イオンビーム装置内でウエハまたはチップの位置決めを行って、収束イオンビーム装置の観察視野内に欠陥を入れ、次に、電位コントラスト効果により欠陥を明確に識別するようにする。このように、収束イオンビーム装置を用いれば、欠陥の位置を容易に見つけることが可能である。

【0031】また、電位コントラスト効果が十分には得られない試料の場合は、基準位置から欠陥までのパターンの数を数えることによって、欠陥を特定できる。半導体デバイスのパターンの場合、ある定められた周期で繰返し性のあるパターンが用いられる事が多い。代表的なものは、上層と下層とを接続するプラグを埋めるための開口パターンである。電子線式ウエハ外観検査装置では、欠陥の位置を示す基準位置からの座標データを用いて、欠陥位置までのパターンの繰返し数を算出し、収束イオンビーム装置では、基準位置からのパターンの繰返し数をカウントする事で欠陥の位置を特定する事ができる。パターンは1個ずつカウントするばかりでなく、いくつかのまとまりを一組としてカウントしてもよい。もちろん、このカウントはオペレータが実施してもよいが、画面上に表示された複数のパターンの中から前記欠陥を特定する欠陥特定ユニットを、装置に設けておく。

【0032】さらに、収束イオンビーム装置において、与えられる座標データを基準位置から欠陥の位置までのパターン繰返し数に変換し、対象とする試料の収束イオンビーム装置の観察画像を用いて、1画素サイズ当りのパターンの繰返しピッチ数から、画像歪みの補正量を算出し、その補正量をもとにして、基準位置から欠陥位置までの距離を、画素数を基準として欠陥位置を見出すようにして、画面上に表示された複数のパターンの中から前記欠陥を特定する欠陥特定ユニットを設けておく。

【0033】このように、電子線式ウエハ外観検査装置で欠陥を検出し、半導体デバイスの表面形状からだけで

は検出できない欠陥に起因する不良部の位置を明確化できるため、その後の不良原因の解析精度や解析効率を向上できるという効果がある。また、電子線式ウエハ外観検査装置を用いて検出された欠陥を含む微小試料片を、収束イオンビーム装置を用いてサンプリングし、走査透過型電子顕微鏡などの薄片化部の断面観察装置と共通の試料ホルダに搭載する事で、効率良く不良原因を解析することが可能になる。

【0034】

【発明の効果】以上述べたように、本発明によれば、ウエハ前工程の途中で半導体デバイスに形成されるパターンの欠陥を検出し、さらに、その欠陥部の抽出と観察を容易にすることにより、不良原因の解析精度を向上させ、欠陥発生から原因究明、対策までの期間を大幅に短縮できるという効果がある。

【図面の簡単な説明】

【図1】 検査の手順を示すフローチャート。

【図2】 半導体デバイスの表面に近い部分の縦断面図。

【図3】 従来の半導体デバイスの欠陥検査のステップを示すフローチャート。

【図4】 半導体デバイスパターンの欠陥検査・不良解析システムに用いられる検査装置の外観を示す斜視図。

【図5】 電子線式ウエハ外観検査装置の概略構造を示す縦断面図。

【図6】 図1に示した検査の手順をさらに具体的に示すフローチャート。

【図7】 図1に示した検査の手順の各々における試料の斜視図。

【図8】 走査透過型電子顕微鏡の試料の斜視図。

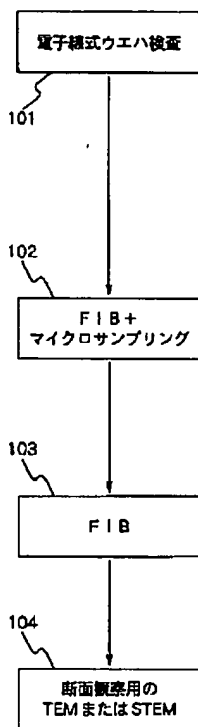
【図9】 半導体デバイスパターンの一例の斜視図。

【符号の説明】

11…半導体デバイス、21…プラグ、22…下地層、23…ゲート電極、51…ガス、52…電子ビーム、105…ウエハ、106…欠陥、107…マーク、108…微小試料片、109…試料ホルダ、110…薄片化部。

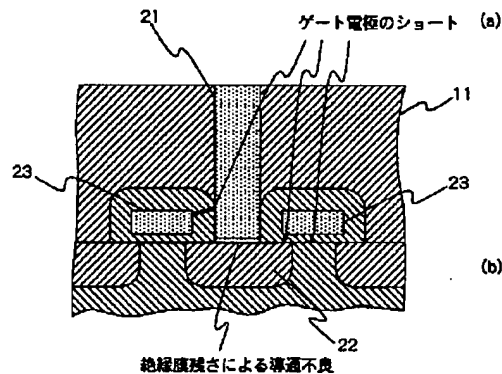
【図1】

図 1



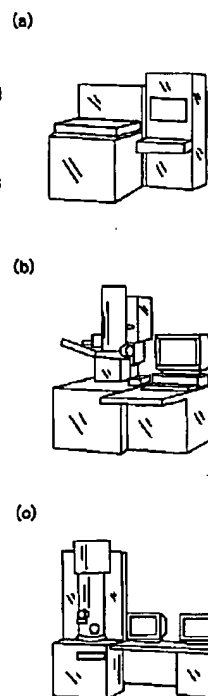
【図2】

図 2



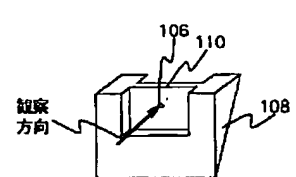
【図4】

図 4



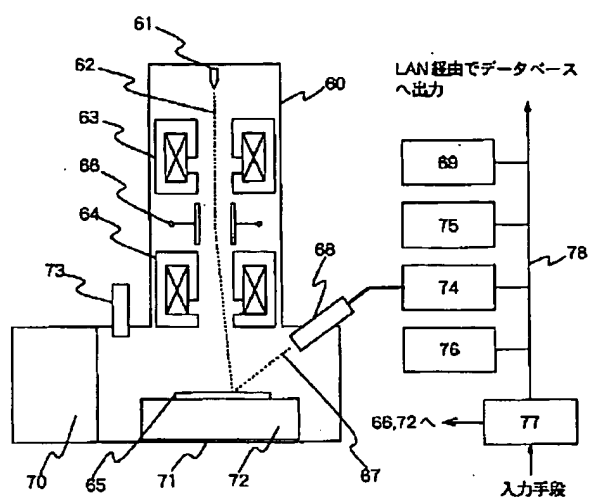
【図8】

図 8



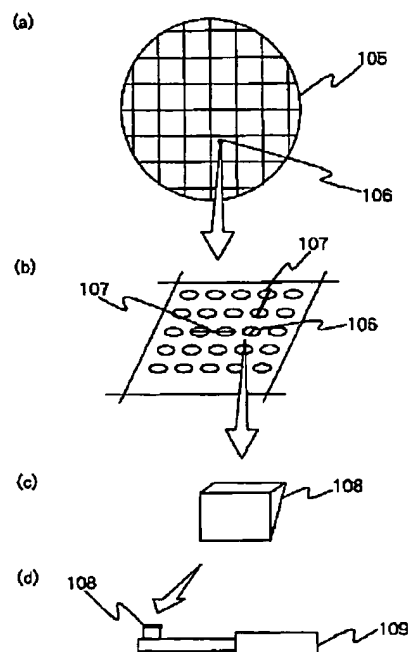
【图5】

5



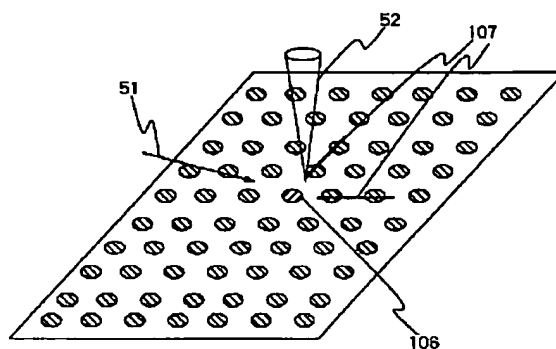
【图7】

图 7



【図9】

図 9



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ターム(参考)
G 0 1 N 1/32		G 0 1 N 23/04	
		23/225	
		H 0 1 J 37/22	5 0 1 A
H 0 1 J 37/22	5 0 1	37/26	
		G 0 1 N 1/28	G
H 0 1 L 21/3065		H 0 1 L 21/302	H
			D

(72)発明者 小池 英巳
 茨城県ひたちなか市大字市毛882番地 株
 式会社日立製作所計測器グループ内

Fターム(参考) 2F067 AA54 BB01 BB04 CC17 HH06
 JJ05 KK04 KK06 LL00 RR24
 SS17 TT08 UU32
 2G001 AA03 AA05 AA07 AA10 BA06
 BA07 BA11 CA03 FA06 GA04
 GA06 GA09 HA09 HA13 JA03
 JA07 JA11 JA16 JA20 KA03
 LA11 MA05 PA01 QA01 RA01
 RA04 RA06 RA20
 4M106 AA01 BA02 CA39 DB05 DB30
 DJ18 DJ21 DJ23
 5C033 SS01 SS02 SS04 SS07 SS10
 5F004 AA16 BA17 BB18 BD07 EA39

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention inspects the defect of the circuit pattern of a semiconductor device using a charged-particle line, and relates to the test equipment of defective inspection and the failure-analysis approach of a semiconductor device pattern of analyzing the cause of a defect, defective inspection and the failure-analysis system of a semiconductor device pattern, and the semiconductor device pattern used for it.

[0002]

[Description of the Prior Art] Since it corresponds to high integration of the semiconductor device represented by semiconductor memory and the semi-conductor accumulation arithmetic element in recent years, detailed-izing and multilayering of a circuit pattern progress quickly, and a new process technique has been adopted. In connection with this, the fall of the manufacture yield of the semiconductor device resulting from the various defects of the lower layer structure of the semiconductor device formed in the semi-conductor wafer is posing a big problem.

[0003] Drawing 2 is drawing of longitudinal section of the part near the front face of a semiconductor device 11. For example, he is trying for the semiconductor device 11 as shown in drawing 2 to connect electrically the upper wiring layer and the upper substrate layer 22 which show the middle of a production process, form a plug 21 above the substrate layer 22, and are formed at a process after this. In this process, the defective continuity by the insulator layer residue between a plug 21 and the substrate layer 22 may occur. Moreover, when forming the gate electrode 23, the matter of the same electrical conductivity as the circumference of the gate electrode 23 is formed, and the short-circuit between the gate electrode 23 and a plug 21, the short-circuit between the substrate layers 22, etc. may occur.

[0004] With the test equipment using the reflected light from the former, since it is difficult to detect these defects inside a semiconductor device, the defect is analyzed at the step as shown in drawing 3.

[0005] Drawing 3 is a flow chart which shows the step of defective inspection of the conventional semiconductor device. The pattern formation of a semiconductor device is completed among semiconductor device production processes, and as mentioned above, since defective detection in the middle of the process before a wafer is difficult, before starting each of chips from the wafer after termination of the process before a wafer (step 30), the probe test (step 31) which is an electric functional test is carried out, and if it is a semiconductor device, for example, memory, the good of all bits and a defect will be judged. Then, the fail bit map which shows the coordinate of a defect bit is created (step 32). It carries out based on the data of this fail bit map, and an object chip is cut down from a semi-conductor wafer, to the layer of the production process presumed that there is a defective part which is a defect's cause of generating, after passing through the process (step 33) which removes the surface layer of a semiconductor device by etching, a defective part is observed with a scanning electron microscope (Scanning Electron Microscope) (step 34), and cause investigation of a defect is performed. [0006] Or the defective part of the cut-down chip is thin-film-ized to a lengthwise direction, a cross-section observation sample is created (step 35), the cross section of a defective part is observed using a

transmission electron microscope (Transmission Electron Microscope) or a scanning transmission electron microscope (Scanning Transmission Electron Microscope) (step 36), and cause investigation of a defect is performed. However, in order that a defect's generating and location may become clear for the first time by the probe test after before [a wafer] process termination (step 31), since several months may be take to result in cause investigation of a defect, and manufacture will be continue in the meantime while the manufacture yield of a product have be bad, the economic loss in the approach of the conventional inspection be plan, and neither be find.

[0007]

[Problem(s) to be Solved by the Invention] the purpose of this invention be raise the analysis precision of the cause of a defect and offer defective inspection and the failure analysis approach of the semiconductor device pattern which can shorten sharply the period from defective generating to cause investigation and a cure , defective inspection and the failure analysis system of a semiconductor device pattern , and the test equipment of a semiconductor device pattern by detect the defect of the pattern form in a semiconductor device in the middle of the process before a wafer , and make easy further an extract and observation of the defective part .

[0008]

[Means for Solving the Problem] This invention extracts a defect and its location using a charged-particle line, especially an electron ray, in order to attain the purpose of above-mentioned this invention, cuts down the chip which has a defect based on this positional information, and processes and flake-izes it for cross-section observation of a back process, next the sample observes with a transmission electron microscope or a scanning transmission electron microscope, and it has the configuration which consists of a process which studies the cause of a defect.

[0009] In this configuration, since a defect is inspected using the wafer visual-inspection equipment into which an electron ray current and a moderation electrical potential difference are changeable using an electron ray, by observation of the front face of a wafer, this invention has the undetectable description that the defect resulting from the defect of the internal structure of a semiconductor device is detectable.

[0010] Moreover, by attaching a mark to a defective location or near, or counting the number from the criteria location of a pattern to a defective location correctly in quest of the coordinate of a defective location, at a back process, the location of the detected defect is checked easily and can be pinpointed.

[0011] Moreover, since the sample containing a defective part is observed with a transmission electron microscope or a scanning transmission electron microscope, the gestalt of a defect can distinguish easily and becomes possible [studying the cause of generating of a defect quickly easily].

[0012] Since detection of a defect and investigation of that cause of generating are attained and it becomes unnecessary to wait to the final process of a probe test like before in the middle of the process before a wafer by this system, it comes to be able to do discovery and its cure of a defect for a short period of time. Therefore, at the time of development of a semiconductor device, the period can be shortened sharply. Moreover, since a defect can be discovered before the defect discovery by the final process at the time of device mass production and cause investigation and a cure can be done for a short period of time, the product term of the defective by the fall of the manufacture yield can be shortened sharply.

[0013]

[Embodiment of the Invention] Hereafter, a typical example of the defective inspection and the failure-analysis system of the semiconductor device pattern concerning this invention is explained using a drawing.

[0014] The perspective view of the sample in each of the procedure of inspection which showed the flow chart which shows the procedure of inspection [in / in drawing 1 / the example of this invention], the perspective view showing the appearance of the test equipment with which drawing 4 is used for defective inspection and the failure-analysis system of a semiconductor device pattern, drawing of longitudinal section in which drawing 5 shows the outline structure of electron ray type wafer visual-inspection equipment, the flow chart which show still more concretely the procedure of inspection which showed drawing 6 in drawing 1 , and drawing 7 in drawing 1 , and drawing 8 are the perspective

views of the sample of a scanning transmission electron microscope. Moreover, drawing 4 (a) is [convergence ion beam (Focused Ion Beam) equipment and drawing 4 (c) of electron ray type wafer visual-inspection equipment and drawing 4 (b)] the perspective views of a scanning transmission electron microscope. In drawing 1 , FIB and a transmission electron microscope are abbreviated to TEM, and the scanning transmission electron microscope is abbreviated for convergence ion beam equipment to STEM. The defect on a wafer is inspected using the electron ray type wafer visual-inspection equipment which showed the procedure of inspection to drawing 4 (a) in drawing 1 at the time of the arbitration of the production process of a semiconductor device (step 101). Next, the micro sampling which starts the minute test piece which contains a defective part from a wafer with the convergence ion beam equipment shown in drawing 4 (b) is performed (step 102). Next, with the same convergence ion beam equipment, a minute test piece is carried on the sample holder which can be used in common with convergence ion beam equipment, a transmission electron microscope, or a scanning transmission electron microscope, the defective part of a minute test piece is flake-ized using convergence ion beam equipment, and the sample for cross-section observation is created (step 103). Finally the flake-ized sample is observed using thin film cross-section observation equipments, such as a scanning transmission electron microscope shown in a transmission electron microscope or drawing 4 (c), (step 104), and an operator clarifies the cause of generating of the defective part detected with electron ray type wafer visual-inspection equipment.

[0015] Drawing 5 is drawing of longitudinal section showing the outline structure of the electron ray type wafer visual-inspection equipment shown in drawing 4 (a). This equipment is indicated by JP,10-294345,A, JP,11-51886,A, etc., a body consists of a electron optics column 60, an evacuation room 70, and a sample room 71, and auxiliary equipment, such as a control unit 77, is formed outside.

[0016] The electron optics column 60 mainly consists of the electron source 61 which generates an electron beam 62, a condensing lens 63 which completes an electron beam 62 as a wafer 65, an objective lens 64, and a deflector 66 which deflects an electron beam 62. It consists of detectors 68 which detect the optical microscope 73 which observes a wafer 65 with light, and the secondary electron 67 generated by the exposure of an electron beam 62 for the alignment of the stage 72 and wafer 65 which put a wafer 65 on the sample room 71. It becomes a picture signal in the image formation unit 74, and a defect is extracted using an image through a bus 78 in the defective distinction unit 75, it is displayed on a monitor unit 69, or the signal detected by the detector 68 is outputted to an external database via LAN.

[0017] The picture signal formed in the image formation unit 74 is memorized to memory 76, is compared with the picture signal formed from the following signal, and the difference between two images is extracted as a defect, and it is displayed on a monitor unit 69.

[0018] Since the location of the wafer 65 with which an electron beam 62 is irradiated is determined based on the positional information of the stage 72 checked under the optical microscope 73, the positional information of the defect at this time can be determined from the positional information of a stage 72, and the electron beam image on a monitor unit 69.

[0019] These actuation, actuation of a stage, the deviation of an electron beam 62, etc. are controlled by the control signal calculated with the microcomputer of a control unit 77. An operator inputs the command of the identifier and hysteresis of a wafer 65, a verification condition, or actuation before inspection.

[0020] This wafer visual-inspection equipment has the description in the point that the defect resulting from the defect of the internal structure of a semiconductor device who cannot detect is detectable, from observation of the front face of a wafer 65 like [at the time of the moderation electrical potential difference when reaching to the current of an electron beam 62 and a wafer 65 being changed, and using optical visual-inspection equipment by these adjustments]. For example, it is possible to detect un-flowing [which was shown in drawing 2] and which short defect by the potential contrast effectiveness.

[0021] In drawing 6 , the positional information of the defect of a wafer is attached at step 42 after the above-mentioned electron ray type defective inspection of step 41. In drawing 7 (a), a mark is attached near the defective location so that a location can check easily the location of the defect 106 detected on

the wafer 105 with the convergence ion beam equipment of a back process. Or the coordinate of a defective location or near is searched for correctly, and the equipment and the coordinate of a back process are communalized. Or the equipment and coordinate transformation of a back process are made easy.

[0022] In the example of drawing 7 (b), it is the case where the plug 21 shown in drawing 2 has come out to the front face as a pattern of a round configuration, and the case where the plug 21 which does not flow according to the potential contrast effectiveness to the substrate layer 22 shown in drawing 2 is detected as a defect 106 of a dark pattern to other normal plugs is shown. After defective extract termination, in order to clarify the location of the defect 106, a mark 107 is attached around a defective part with the electron beam of test equipment. Or a mark 107 may be attached using the review equipment which is detected and can check a defect by the potential contrast effectiveness.

[0023] Next, based on the positional information of the above-mentioned defect, the minute test piece 108 including the defect 106 shown in drawing 7 (c) is cut and started from a wafer 105 at step 45 of drawing 6 using the convergence ion beam equipment shown in drawing 4 (b) which has a micro sampling function. And as shown in drawing 7 (d), the minute test piece 108 is carried on the sample holder 109, and it fixes. The technique indicated by JP,5-52721,A is known about the micro sampling technique of taking up the minute test piece 108 using FIB equipment.

[0024] Next, with convergence ion beam equipment, as shown in drawing 8, the minute test piece 108 is flake-ized in the condition of having been carried in the sample holder 109, and the flake-ized section 110 is created.

[0025] Flake-ized processing of a sample and the workability of cross-section observation can improve sharply by using the same sample holder 109 with the transmission electron microscope for cross-section observation of a flake-ized sample or the scanning transmission electron microscope shown in drawing 4 (c), and convergence ion beam equipment. The technique indicated by JP,6-103947,A is known about this technique.

[0026] About the approach of pickup of the minute test piece 108, as described above, there is the approach of sampling directly from a wafer 105, and as shown in steps 43-44 of drawing 6, it is also possible to cut the chip containing a defective part 106 from a wafer 105, to take out, and to sample [continuously] the minute test piece 108 using FIB similarly from this chip. It becomes possible to take up efficiently based on the mark Sagitta label information which shows the location of a defective part also in this case.

[0027] Thus, flake-ized processing of the sample of step 46 and cross-section observation of step 47 are performed.

[0028] Next, the technique of forming the mark which shows the location of the detected defect is explained using drawing 9. Drawing 9 is the perspective view of an example of a semiconductor device pattern. A pattern is a pattern of the plug shown in drawing 7 (b). To the defect 106 detected in the electron ray type wafer visual-inspection equipment shown in drawing 4 (a), it is made in agreement in the array direction of a pattern, and forms around it by irradiating an electron beam 52 and scanning the mark 107 of the shape of two Rhine, the direction of X, and the direction of Y, into the part of a mark 107. Since the gas containing carbon etc. exists in the upper part of a wafer, a deposition phenomenon occurs by irradiating an electron beam 52 and scanning it into the part of a mark 107, and a mark 107 can be formed.

[0029] Moreover, by supplying the gas 51 for deposition around a defect 106, irradiating an electron beam 52 and scanning it into the part of a mark 107, the gas 51 for deposition can decompose and a mark 107 can also be formed on a wafer. The direction which supplied the gas 51 for deposition can form a mark 107 certainly.

[0030] When the coordinate data of a defect tends to search for a location, without attaching the mark which shows the location of a defect like the example mentioned above, there are the following problems. Generally, the error of distortion or a scale exists in the image of electron ray type wafer visual-inspection equipment or convergence ion beam equipment, respectively. It is very difficult to amend these errors correctly between equipment. a repetition pitch be 0.1 . if it be going to pinpoint a

defective part in an image only with coordinate data using the electron ray type wafer visual inspection equipment and the convergence ion beam equipment which have an error in the case of the pattern of the semiconductor device which consist of repetition patterns of the same configuration below micron meter, in the coordinate data in which the distance from a criteria location to a defect be show, the normal pattern of the next door of a defect may be incorrect - recognize to be the location of a defect. If a defect is observed using the convergence ion beam equipment shown in drawing 4 (b), unlike the signal from a defective part, and the signal from other normal sections, it will be detected by the potential contrast effectiveness like electron ray type wafer visual-inspection equipment in many cases. Therefore, based on the coordinate data of the defect detected with electron ray type wafer visual-inspection equipment, positioning of a wafer or a chip is performed within convergence ion beam equipment, and a defect is put in in the observation visual field of convergence ion beam equipment, next a defect is clearly identified according to the potential contrast effectiveness. Thus, if convergence ion beam equipment is used, it is possible to find the location of a defect easily.

[0031] Moreover, in the case of the sample which does not have the enough potential contrast effectiveness ****, a defect can be specified by counting the number of the patterns from a criteria location to a defect. In the case of the pattern of a semiconductor device, the pattern which has repeatability a certain defined period is used in many cases. A typical thing is an opening pattern for burying the plug which connects the upper layer and a lower layer. In electron ray type wafer visual-inspection equipment, using the coordinate data from a criteria location in which the location of a defect is shown, the number of cycles of the pattern to a defective location can be computed, and the location of a defect can be pinpointed at counting the number of cycles of the pattern from a criteria location with convergence ion beam equipment. It not only counts one pattern at a time, but it may count some settlements as a lot. Of course, although an operator may carry out this count, the defective specification unit which specifies said defect out of two or more patterns displayed on the screen is prepared in equipment.

[0032] Furthermore, the coordinate data given is changed into the pattern number of cycles from a criteria location to the location of a defect in convergence ion beam equipment. Using the observation image of the convergence ion beam equipment of the target sample, from the number of repetition pitches of the pattern per 1-pixel size, compute the amount of amendments of an image distortion and it carries out based on the amount of amendments. The defective specification unit which specifies said defect out of two or more patterns displayed on the screen in the distance from a criteria location to a defective location as found out the defective location on the basis of the number of pixels is prepared.

[0033] Thus, since the location of the defect section resulting from the defect which detects a defect with electron ray type wafer visual-inspection equipment, and cannot be detected only from the shape of surface type of a semiconductor device can be clarified, it is effective in the ability to improve a subsequent analysis precision and the analysis effectiveness of the cause of a defect. Moreover, it becomes possible to analyze the cause of a defect efficiently by sampling a minute test piece including the defect detected using electron ray type wafer visual-inspection equipment using convergence ion beam equipment, and carrying it in the cross-section observation equipment of the flake-ized sections, such as a scanning transmission electron microscope, and a common sample holder.

[0034]

[Effect of the Invention] As stated above, according to this invention, by detecting the defect of the pattern formed in a semiconductor device in the middle of the process before a wafer, and making an extract and observation of the defective part easy further, the analysis precision of the cause of a defect be raised and it be effective in the ability to shorten sharply the period from defective generating to cause investigation and a cure.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Defective inspection and the failure-analysis approach of the semiconductor device pattern characterized by to have the defect of a semiconductor device pattern, the process which extract the location, the process which determine and start the location of the minute test piece which has said defect based on the information on this location, the process which flake-ize a part of said started minute test piece, and the process which observe this flake-ized part with an electron microscope, and study the cause of said defect using an electron ray

[Claim 2] The electron ray type wafer visual-inspection equipment which detects the defect of said semiconductor device pattern from the signal which irradiates an electron ray at the semiconductor device pattern formed in the semi-conductor wafer, and is generated, The convergence ion beam equipment which carries said minute test piece to a sample holder, and flake-izes this a part of minute test piece while starting a minute test piece including said defect from said wafer, Defective inspection and the failure-analysis system of the semiconductor device pattern characterized by having the transmission electron microscope which irradiates an electron ray at the part by which said minute test piece carried in said sample holder was flake-ized, and observes said defect.

[Claim 3] In order to determine the location of this defect based on the positional information of the defect of the semiconductor device pattern formed in the semi-conductor wafer, to start a minute test piece including said defect from said wafer, to observe said defect and to study the cause of this defect Test equipment of the semiconductor device pattern characterized by having the defective detection unit which detects the defect of said semiconductor device pattern from the signal which irradiates an electron ray at said wafer and is generated, and the positional information setting device which sets up the positional information of this defect.

[Claim 4] Said positional information set up with said positional information setting device in the publication of claim 3 is test equipment of the semiconductor device pattern characterized by irradiating said electron ray and being formed in said wafer.

[Claim 5] Said positional information set up with said positional information setting device in the publication of claim 3 is test equipment of the semiconductor device pattern characterized by what it opts for based on the number of the patterns formed in the coordinate and said wafer of said defect.

[Claim 6] An electron ray is irradiated to the 1st and 2nd fields of the semiconductor device pattern formed in the semi-conductor wafer. The electron ray type wafer visual-inspection equipment which forms the image of the field irradiated by detecting the generated secondary electron, compares the image of said 1st field with the image of said 2nd field, and detects the defect of said semiconductor device pattern, While extracting the sample for observation including said defect detected by this electron ray type wafer visual-inspection equipment Defective inspection and the failure-analysis system of the semiconductor device pattern characterized by having the convergence ion beam equipment which carries and thin-film--ization-processes this sample for observation into a sample holder, and the transmission electron microscope which irradiates an electron ray at the sample for observation carried in said sample holder, and observes said defect.

[Claim 7] The electron optics column which irradiates an electron ray to the 1st and 2nd fields of the semiconductor device pattern formed in the semi-conductor wafer, The defective detection unit which detects the generated secondary electron, forms the image of an exposure field, compares the image of said 1st field with the image of said 2nd field, and detects the defect of said semiconductor device pattern, Test equipment of the semiconductor device pattern characterized by having mark formation equipment which forms the mark which shows the location of this detected defect.

[Claim 8] It is test equipment of the semiconductor device pattern characterized by for said mark formation equipment irradiating said electron ray in the publication of claim 7 at said semi-conductor wafer, and forming said mark.

[Claim 9] By positioning said semi-conductor wafer based on the coordinate which shows the location of the defect of said semi-conductor wafer detected from the secondary electron which irradiates an electron ray and is generated to the semiconductor device pattern formed in the semi-conductor wafer Test equipment of the semiconductor device pattern characterized by having the monitor unit which displays said defect on a screen, and the defective specification unit which specifies said defect out of two or more patterns displayed on the screen using the positional information of said defect.

[Claim 10] An electron ray is irradiated to the 1st and 2nd fields of the semiconductor device pattern formed in the semi-conductor wafer. Form the image of the field irradiated by detecting the generated secondary electron, compare the image of said 1st field with the image of said 2nd field, and the defect of said semiconductor device pattern is detected. Defective inspection and the failure-analysis approach of the semiconductor device pattern characterized by carrying and thin-film--ization-processing this sample for observation into a sample holder, irradiating an electron ray at the sample for observation carried in said sample holder, and observing said defect while extracting the sample for observation including said detected this defect.

[Claim 11] The process which irradiates an electron ray to the 1st and 2nd fields of the semiconductor device pattern formed in the semi-conductor wafer, The process which detects the secondary electron generated by the exposure of this electron ray, and forms the image of an exposure field, Defective inspection and the failure-analysis approach of the semiconductor device pattern characterized by having the process which compares the image of said 1st field with the image of said 2nd field, and detects the defect of said semiconductor device pattern, and the process which forms the mark which shows the location of the this detected defect.

[Claim 12] Defective inspection and the failure-analysis approach of the semiconductor device pattern characterized by irradiating said electron ray at said semi-conductor wafer, and forming said mark in the publication of claim 11 at the process which forms said mark.

[Claim 13] The process which irradiates an electron ray at the semiconductor device pattern formed in the semi-conductor wafer, The process which detects the defect of said semi-conductor wafer from the secondary electron generated by the exposure of this electron ray, The process which positions said semi-conductor wafer based on the coordinate which shows the location of this defect, Defective inspection and the failure-analysis approach of the semiconductor device pattern characterized by having the process which displays said defect on the screen of a monitor unit, and the process which specifies said defect out of two or more patterns displayed on said screen using the positional information of said defect.

[Translation done.]